

**SEMICONDUCTOR DEVICE**

Patent Number: JP1143270  
 Publication date: 1989-06-05  
 Inventor(s): MATSUNO TOSHINOBU; others: 01  
 Applicant(s): MATSUSHITA ELECTRIC IND CO LTD  
 Requested Patent: JP1143270  
 Application Number: JP19870300708 19871127  
 Priority Number(s):  
 IPC Classification: H01L29/80; H01L21/20; H01L21/203  
 EC Classification:  
 Equivalents:

**Abstract**

**PURPOSE:** To reduce the strain of a strain channel layer and the deterioration of electrical characteristics caused by the strain by varying the mixing ratio of a mixed crystal in a second mixed crystal semiconductor strain layer continuously from an interface between the strain layer and a first semiconductor layer, and making the ratio equal to that of a third semiconductor layer at an interface between the strain layer and the third semiconductor layer formed on the second multi-component mixed crystal semiconductor strain layer.

**CONSTITUTION:** The thickness of a graded InGaAs strain channel layer 6 is made 200Angstrom , and an In composition ratio at an interface between the layer 6 and a non-doped AlGaAs layer 5 formed on a substrate side is made 0.15. The ratio is continuously reduced toward a surface side, and the ratio is made 0 at an interface between the layer 6 and a non-doped GaAs layer 7 on the surface side so as to permit the layer 6 to change to GaAs without having any band gap. In a hetero junction between the InGaAs strain channel layer where two-dimensional electrons gather and the non- doped AlGaAs spacer layer 5, the In composition ratio is continuously reduced toward the surface side, keeping a band discontinuity gap  $\Delta E_c$  enough to form high concentration two-dimensional electron gas. And, the ratio is changed to that of GaAs at a hetero interface between the layer 6 and the non-doped GaAs layer 7, thereby gradually relieving the strain.

Data supplied from the esp@cenet database - I2



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-143270

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 平成1年(1989)6月5日

H 01 L 29/80  
21/20  
21/203

H-8122-5F  
7739-5F  
7630-5F

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 半導体装置

⑭ 特 願 昭62-300708

⑮ 出 願 昭62(1987)11月27日

⑯ 発 明 者 松 野 年 伸 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑰ 発 明 者 井 上 薫 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板に形成された第1の半導体層上にこの第1の半導体層よりバンドキャップが小さく、格子定数が異なる第2の多元混晶半導体歪層をチャネルとした逆ヘテロ接合を有し、前記第2の混晶半導体歪層の混晶比が前記第1の半導体層との界面から連続的に変化させ、第2の多元混晶半導体歪層上に形成される第3の半導体層との界面で前記第3の半導体層と一致させてなる半導体装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体装置に関し、特に格子歪を有する多元混晶をチャネル層とした逆ヘテロ接合を有する電界効果トランジスタに関する。

従来の技術

歪層をチャネル層に用いた逆ヘテロ構造を有するヘテロ接合電界効果トランジスタの例としては

第4図に示す様にGaAs層15とAlGaAs層Bから成る逆ヘテロ構造の間に歪チャネル層14としてInGaAs歪層を用いた構造がある。この構造は半絶縁性GaAs基板9上に形成されており、10はGaAsバッファ層で、11はAlGaAsバッファ層である。12のn型AlGaAs層はキャリア供給層でありその上に形成されたノンドープAlGaAs層13はスペーサー層で、16のn型GaAsはキャップ層である。

InGaAsはGaAsと比較してエネルギーバンドギャップが小さく、AlGaAsヘテロ接合を形成した場合GaAs/AlGaAsヘテロ接合と比較してバンド不連続 $\Delta E_c$ が大きい為、高濃度の2次元電子ガスを形成する事が可能であり、また同一の濃度を得る為に必要なAlGaAsのバンドキャップを小さくできる。すなわちAlGaAs層のAl組成比を低くする事が可能であり、従ってDXセンターによる低温時の継続的な光電導やエーレ特性の劣化を低減できる。

さらにInGaAsは高い電子移動度を有してお

り、ドリフト速度も大きいためデバイスの高速化が可能である。

一方前記の様な逆ヘテロ構造を有する電界効果トランジスタは基板側に高いバリアを持つ為、ショートチャネル効果が小さく、また表面側がGaAs層である為、従来のHEMT等の表面側がAlGaAs層である場合と比較し、オーミックコンタクトが形成し易く、高速の集積回路等に適しているという報告がなされている。

前記第4図の構造においては、InGaAs層14の表面側のGaAs層15及び基板側のAlGaAs層13とのヘテロ界面において格子不整合が生じている。

発明が解決しようとする問題点

一般にInP上に格子整合されたInGaAsでは電子濃度 $n \approx 10^{17} \text{ cm}^{-3}$ で室温で電子移動度 $8000 \text{ cm}^2/\text{V}\cdot\text{S}$ 以上と大きな値を示すが、InGaAs歪層においてはGaAsとInAsの格子定数は約7%と大きく異っており、Inの組成比が大きくなるに従ってGaAsまたはAlGaAsとの格子不整

きい為、バンド不連続 $\Delta E_c$ が大きく、高濃度の2次元電子ガスを維持しながら、表面側に向ってIn組成比が連続的に減少していく為、歪が緩和されてゆき、表面側のGaAs層との界面ではGaAsになる為、格子歪がほとんどない状態になり、In組成比 $x$ を大きくすることができ等価的に臨界膜厚を大きくする事が可能となり、電気的特性が向上する。

実施例

以下本発明の詳細な説明を実施例を用いて行なう。第1図に本発明による歪チャネル層を有する逆ヘテロ構造電界効果トランジスタを示す。

分子線エビタキシャル法により半絶縁性GaAs基板1上に1000ÅのGaAsバッファ層2及び2000ÅのノンドープAlGaAsバッファ層3を形成し、キャリア供給層のn型AlGaAs層4を100~200Å形成し、50Åのスペーサ層5を形成する。AlGaAsのAl組成比は0.15~0.2程度としn型AlGaAs層4へのドーピング量は約 $1 \times 10^{18} \text{ cm}^{-3}$ とする。歪チャネ

ル層はInGaAsを用いる。表面側のノンドープのGaAs層7は300Å程度形成し、p型GaAsキャップ層8は100Åとする。グレーティッドInGaAs歪チャネル層6の膜厚は200Åとし、In組成の変化は第2図に示す様に基板側のノンドープAlGaAs層5との界面でIn組成比は0.15とし、表面側に向かうに従って、連続的に減少させ、表面側のノンドープGaAs層との界面で組成比が0でGaAsとなり第3図のバンド図に示す様にバンドギャップがない様にする。

前述の第4図の歪チャネル層を有する逆ヘテロ構造においてはInGaAs層中でのIn組成比は一定である為、基板側のAlGaAs層13と表面側のGaAs層15の両方のヘテロ界面で格子不整合が生じている為、歪が電気的特性に与える影響が大きく、またInの組成比をある程度以上大きくできないという欠点を有している。

問題点を解決するための手段

本発明は上記の問題点を解決するため、多元混晶半導体歪チャネル層において、組成比を基板側の半導体層とのヘテロ界面から表面側方向に向けて連続的に減少させていき、基板側の半導体層との界面で組成が同じ様なグレーティッド多元混晶半導体歪チャネル層を形成する。

作用

2次元電子がたまる基板側のAlGaAs層とのヘテロ界面ではInGaAs歪層のIn組成比が大

る層はInGaAsを用いる。表面側のノンドープのGaAs層7は300Å程度形成し、p型GaAsキャップ層8は100Åとする。グレーティッドInGaAs歪チャネル層6の膜厚は200Åとし、In組成の変化は第2図に示す様に基板側のノンドープAlGaAs層5との界面でIn組成比は0.15とし、表面側に向かうに従って、連続的に減少させ、表面側のノンドープGaAs層との界面で組成比が0でGaAsとなり第3図のバンド図に示す様にバンドギャップがない様にする。

In組成の変化はMBE装置のInセルの温度を連続的に変化させて行なう。

この様なグレーティッドInGaAs歪層を用いる事によって2次元電子がたまるInGaAs歪チャネル層とノンドープAlGaAsスペーサ層5とのヘテロ接合においては高濃度の2次元電子ガスを形成するのに十分なバンド不連続 $\Delta E_c$ を保ちながら、表面側に向って連続的にIn組成比が減少し、ノンドープGaAs層7とのヘテロ界面では組成がGaAsとなる為、歪が徐々に緩和され歪が

電気的特性に与える影響を軽減される。

#### 発明の効果

以上のように本発明によれば、高濃度の2次元電子ガス濃度を維持した状態で歪チャネル層の歪を軽減し、歪による電気的特性の劣化を減少させ特性が向上する。

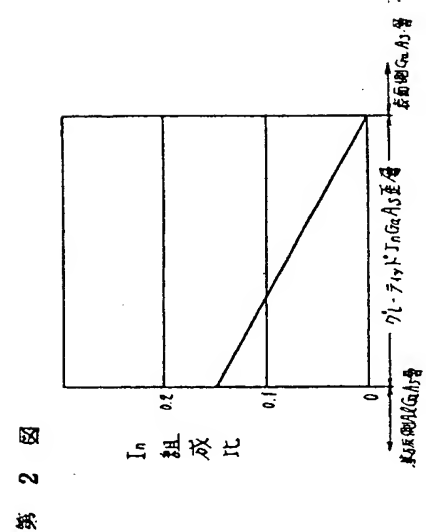
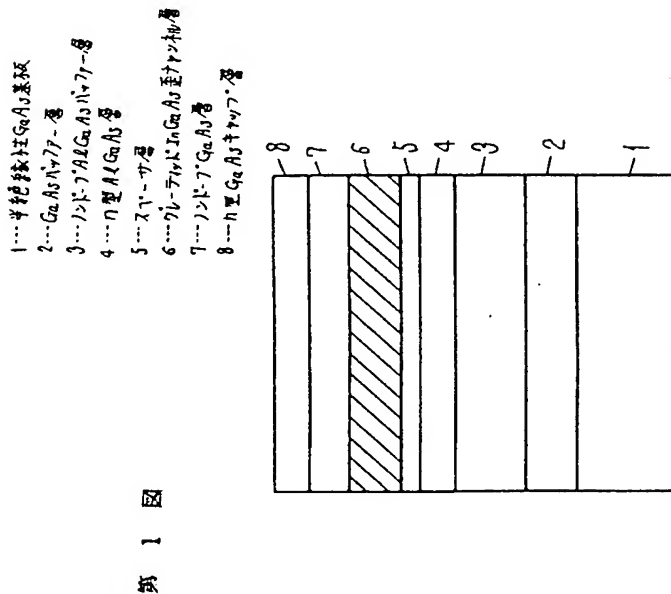
#### 4、図面の簡単な説明

第1図は本発明の一実施例のグレーティッド InGaAs 歪チャネル層を有する逆ヘテロ構造半導体装置の断面図、第2図は本実施例のグレーティッド InGaAs 歪チャネル層中の In 組成の変化を示した特性図、第3図は本実施例の半導体装置のバンド構造を示した図、第4図は従来の InGaAs 歪層を有する逆ヘテロ構造半導体装置の断面図である。

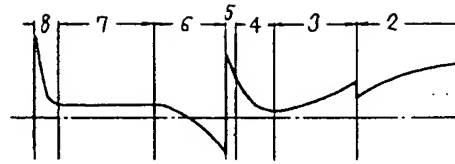
1……半絶縁性 GaAs 基板、2……ノンドープ GaAs バッファ層、3……ノンドープ AlGaAs バッファ層、4……n 型 AlGaAs 電子供給層、5……ノンドープ AlGaAs スペーサー層、6……グレーティッド InGaAs 歪チャネル層、7……

…ノンドープ GaAs 層、8……n 型 GaAs キャップ層。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名



第 3 図



第 4 図

